

ЭЛЕКТРОНДЫҚ ЦИФРЛЫҚ ҚҰРЫЛҒЫЛАР

17.1. ЦИФРЛЫҚ ЛОГИКАЛЫҚ АВТОМАТТАРДЫҢ
АРИФМЕТИКАЛЫҚ НЕГІЗДЕРІ

Цифрлық логикалық автоматтарда негізі 2 болып табылатын екілік санау жүйесі пайдаланылады. Солдан оңға қарайғы разрядтардың салмағы мынадай реттіліктен тұрады:

$$\dots 2^4 2^3 2^2 2^1 2^0, 2^{-1} 2^{-2} 2^{-3} \dots,$$

ол екілік санды ондық санға ауыстыру үшін пайдаланылады. Мысалы, 10111 екілік саны 23 ондық санына балама:

$$2^4 \cdot 1 + 2^3 \cdot 0 + 2^2 \cdot 1 + 2^1 \cdot 1 + 2^0 \cdot 1 = 23.$$

Цифрлық логикалық автоматтарда арнайы терминдер пайдаланылады: бит, екілік разряд, байт.

Бит, немесе *екілік разряд*, екілік сандағы қандай да бір белгіні білдіреді. Мысалы, 101 екілік санының үш разряды бар. Оң жақтағы салмағы ең аз шеткі разряд *кіші*, сол жақтағы салмағы ең жоғары шеткі разряд *үлкен* деп аталады.

Байт ақпараттың 8-разрядты бірлігін білдіреді. Мысалы, 10001111 немесе 00101001 және т.б.

Санды екілік санау жүйесінде беру үшін екілік разрядтардың көп саны талап етіледі. Сегіздік және он алтылық санау жүйесін пайдаланатын болсақ, жазу жеңілдей түседі. *Сегіздік* жүйенің негізі $8 = 2^3$, ал *он алтылық* жүйенің негізі — $16 = 2^4$ саны болып табылады. Екілік санды сегіздік (он алтылық) санға ауыстыру үшін екілік санды үш (төрт) биттік топқа бөлу жеткілікті: бүтін бөлігін оңнан солға қарай, бөлшек бөлігін үтірден солдан оңға қарай. Шеткі топтар толық болмауы мүмкін.

17.1-кесте. Кодтар кестесі

Ондық сан	Екілік сан	Сегіздік сан	Он алтылық сан
0	0000	0	0
1	0001	1	1
2	0010	2	2
3	0011	3	3
4	0100	4	4
5	0101	5	5
6	0110	6	6
7	0111	7	7
8	1000	10	8
9	1001	11	9
10	1010	12	A
11	1011	13	B
12	1100	14	C
13	1101	15	D
14	1110	16	E
15	1111	17	F

Әрбір екілік топ тиісті сегіздік не он алтылық цифрмен беріледі (17.1-кесте). Мысалы, 1100110000101001 екілік саны он алтылық жүйеде CC29 санымен, сегіздік жүйеде 146051 санымен беріледі.

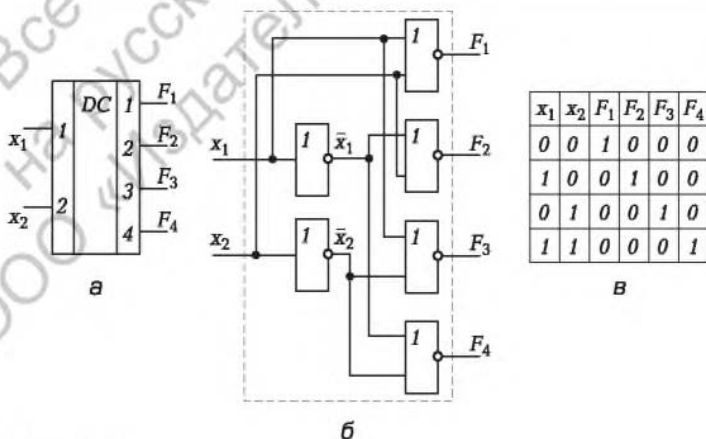
Пайдаланушыға ондық санау жүйесі ең қолайлысы болмақ. Сондықтан көптеген цифрлық логикалық автоматтар екілік сандармен жұмыс жасай отырып, ондық сандарды қабылдауды және пайдаланушыға беруді жүзеге асырады. Бұл ретте екілік-ондық код жиі қолданылады.

Екілік-ондық код ондық санда әрбір ондық цифрды осы цифрдың 17.1-кесте бойынша төрт разрядты екілік нұсқасымен алмастыру арқылы жасалады. Мысалы, $11_{10} \ 00010001_{2-10}$ ретінде беріледі. Бұл ретте әрбір байтта екілік-ондық кодта берілген екі ондық цифр орналасады. Екілік-ондық код мұндай түрленімде ондық санға балама екілік сан болып табылмайтынын атап өтеміз.

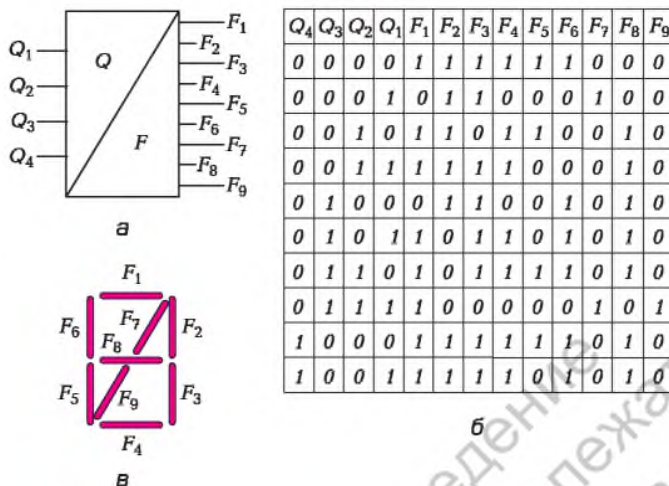
17.2. ЖАДСЫЗ ЦИФРЛЫҚ ЛОГИКАЛЫҚ АВТОМАТТАР

Жадсыз цифрлық логикалық автоматтар, немесе комбинациялық логикалық құрылғылар, деп шығыстарындағы логикалық мәндері берілген уақыт моментіндегі кірістердегі логикалық мәндердің жиынтығымен бір мағыналы анықталатын электрондық цифрлық құрылғыларды айтады. Жадсыз логикалық автоматтарға дешифраторлар, шифраторлар, мультиплексорлар, демультиплексорлар, сумматорлар және интегралдық схема түрінде шығарылатын басқа да цифрлық құрылғылар жатады.

Дешифратор деп n кірістердегі екілік санның кодына байланысты өзінің 2^n шығыстарының бірінде ғана логикалық 1 сигналын шығаратын құрылғыны айтады. 17.1, а-в суреттерінде: $n = 2$ кірісіне және $2^n = 4$ шығысына арналған дешифратордың интегралдық схемасының шартты белгісі, оның функционалдық схемасы және ақиқат кестесі келтірілген.



17.1-сурет



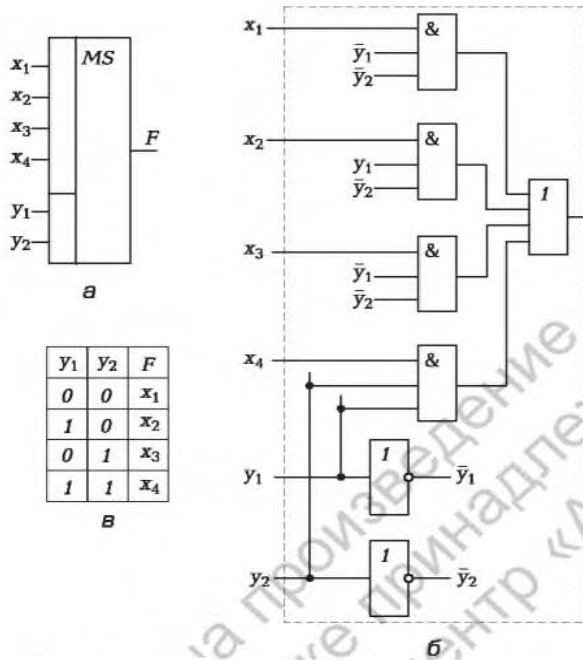
17.2-сурет

Көбінесе дешифраторлардың схемалары қосымша кірістермен, мысалы рұқсат ету (стробтау) кірісімен жасалады. Стробтау дешифратордың шығысында жалған сигналдардың пайда болуына жол бермей, кірістегі цифрлық код өзгерген кезде өтпелі процестің уақыт аралығында оның жұмысына тыйым салады.

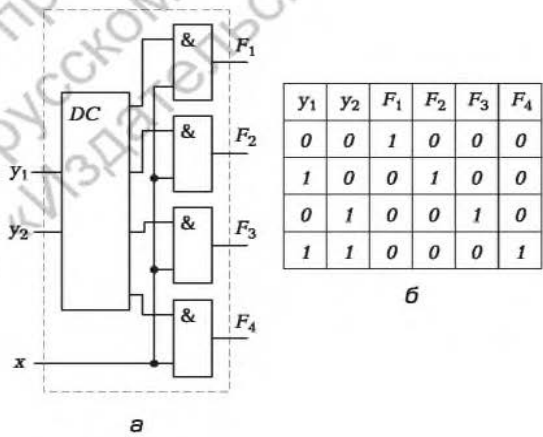
Кодтарды түрлендіргіш дешифратордан кірістегі әрбір логикалық 1 және 0 жинағын шығыстағы логикалық 1 және 0 жинағымен бір қатарлы сәйкестікке келтіретінімен өзгешеленеді. Мысал ретінде интегралдық схема мен оның 17.2, а және б суреттеріндегі, $Q_4Q_3Q_2Q_1$ екілік санының кодын (индекстердегі цифрлар разрядтар нөмірін көрсетеді) $F_1 — F_9$ басқару сигналдарына желілік индикатордың тоғыз сегментімен түрлендіретін ақиқат кестесін алуға болады (17.2-сурет, в).

Шифратор дешифраторға кері функцияны атқарады. Оның 2^n кірісі болады, олардың бірінде логикалық 1, ал қалғандарында – 0. Бұл ретте n шығыстарда екілік санның коды бірлік кодтың нөміріне сәйкес келуі тиіс.

Мультиплексор деп 2^m ақпараттық кірістерінің бірін бір шығысқа коммутациялауға арналған құрылғыны айтады. Қажетті коммутацияны іске асыру үшін мультиплексордың ақпараттық кірістерден басқа m адрестік кірістері болады. Адрестік кірістерде екілік кодтағы санның мәні коммутацияланатын ақпараттық кірістің адресін білдіреді.



17.3-сурет



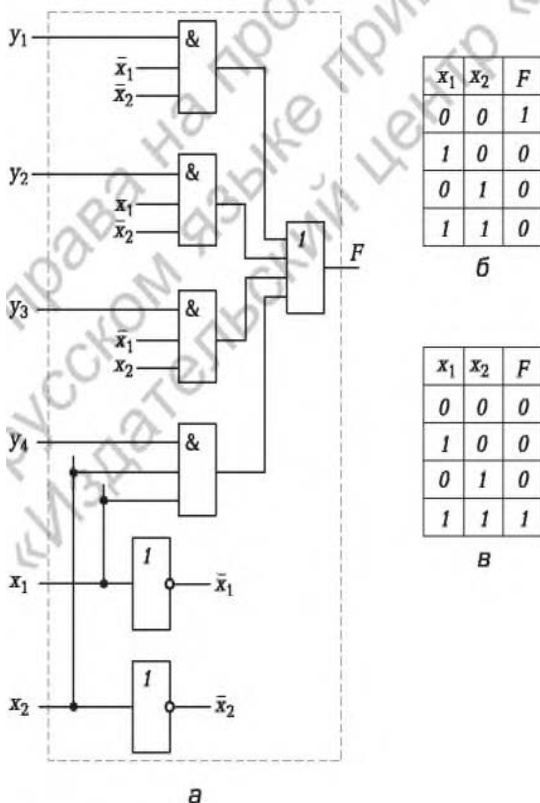
17.4-сурет

Екі адресі $m = 2$ (y_1 және y_2) және төрт ақпараттық $2^m = 4$ (x_1, x_2, x_3, x_4) кірісті мультиплексордың интегралдық схемасының шартты белгісі, оның функционалдық схемасы және ақиқат кестесі 17.3, *а-в* суреттерінде келтірілген.

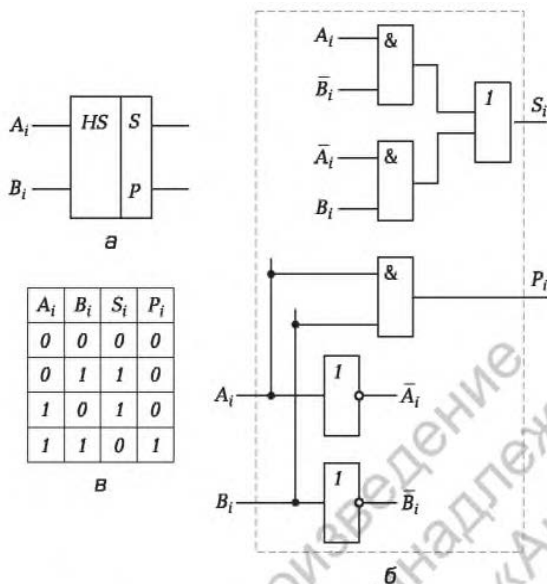
Демультимплексор мультиплексорға кері функцияны атқарады. Оның көмегімен a адресі кірістерде екілік кодтағы санның мәніне байланысты бір ақпараттық кірісті 2^m ақпараттық шығыстардың біріне коммутациялау жүзеге асырылады.

Екі адресі $m = 2$ (y_1 және y_2) және төрт ақпараттық $2^m = 4$ (F_1, F_2, F_3, F_4) шығысты демультимплексордың схемалық іске асыру мысалы, оның дешифратордың ақиқат кестесі (17.1, *в* суретін қараңыз) ескерілген ақиқат кестесі 17.4, *а* және *б* суреттерінде келтірілген.

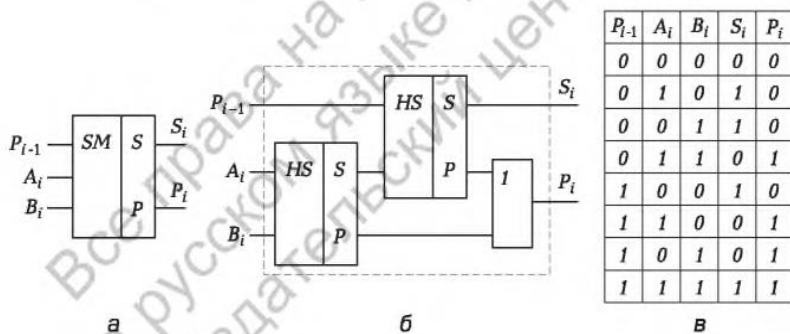
Логикалық функциялар генераторы деп өз шығысында оның ақпараттық кірістеріндегі логикалық шамалар мәндерінің қажетті функциясын алуға мүмкіндік беретін құрылғыны айтады. Мұндай



17.5-сурет

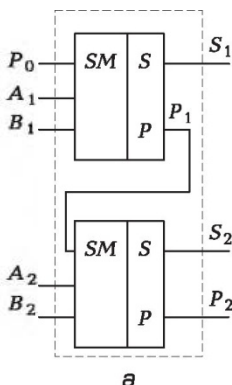


17.6-сурет

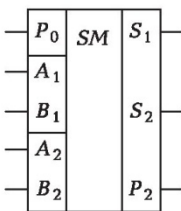


17.7-сурет

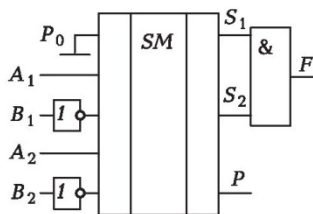
генераторлар басқарушы және ақпараттық кірістерінің міндетін орындарымен алмастыру қажет мультиплексорлардың негізінде (17.3, б суретін қараңыз) іске асырылады. Мысалы, логикалық функциялар генераторының (17.5-сурет, а) y_1, y_2, y_3, y_4 басқарушы кірістерінде сәйкес логикалық 1 және 0 мәндерін бере отырып, шығыста ақпараттық x_1 және x_2 кірістеріндегі шамалардың кез келген F функциясын аламыз. Мысалы, $F = X_1 + X_2$ және $F = x_1 \wedge x_2$



17.8-сурет



б



17.9-сурет

логикалық функцияларына, яғни 17.5, б және в суреттеріндегі ақиқат кестелеріне $y_1, y_2, y_3, y_4 = 1000$ және 0001 мәндері сәйкес келеді. Логикалық функцияларды алудың мұндай тәсілі элементтік базаны интегралдық атқарымда сәйкестендіруге және логикалық автоматтарды жобалау уақытын қысқартуға мүмкіндік береді.

Сумматор деп екі екілік санды арифметикалық қосуға арналған құрылғыны айтады. Кіші ($i - 1$)-ші разрядтан үлкен ($i + 1$)-ші разрядқа тасымалдарды ескере отырып, екі аттас i -х разрядтарын қосу бір разрядты *жартылай сумматорлардан* құралатын бір разрядты сумматормен жүзеге асырылады. Жартылай сумматорлар кіші разрядтан тасымалды ескермейді.

17.6, а-в суреттерінде бір разрядты жартылай сумматордың интегралдық схемасының шартты белгісі, оның функционалдық схемасы және ақиқат кестесі келтірілген, аталмыш кестедегі A_i және B_i — екі екілік санның аттас разрядтары; S_i — қосынды; P_i — үлкен разрядқа тасымал.

Бір разрядты сумматордың интегралдық схемасының шартты белгісі, оның функционалдық схемасы және ақиқат кестесі 17.7, а-в суреттерінде келтірілген. Бір разрядты сумматорлардан көп разрядты сумматорлар құралады. Екі разрядты сумматордың схемасы және интегралдың схемасының шартты белгісі 17.8, а және б суреттерінде келтірілген.

Цифрлық компаратор деп екілік сандарды салыстыру құрылғысын айтады. Сумматорды қолдану арқылы іске асырудың мүмкін болатын схемаларының бірі 17.9-суретте келтірілген. Шынында, егер i — разряд нөмірін білдіретін аттас разрядтарда $A_j = B_j$ болса, онда A_j және B_j $B_i = 1$ -ге тең болады және үлкен разрядқа тасымал $P_i = 0$ болады.

Осылайша, сумматор шығысындағы екі екілік сан тепе-тең болған кезде $S_1 = S_2 = 1$ және $P = 0$, ал логикалық элемент шығысында $F = 1$ болады.

Цифрлық компаратордың келтірілген схемасы екі екілік санның теңсіздігін де бекітуі мүмкін: $A_2A_1 > B_2B_1$, бұл ретте сумматор шығысында үлкен разрядқа тасымал $P = 1$ болады.

17.3. ЖАДТЫ ЦИФРЛЫҚ ЛОГИКАЛЫҚ АВТОМАТТАР

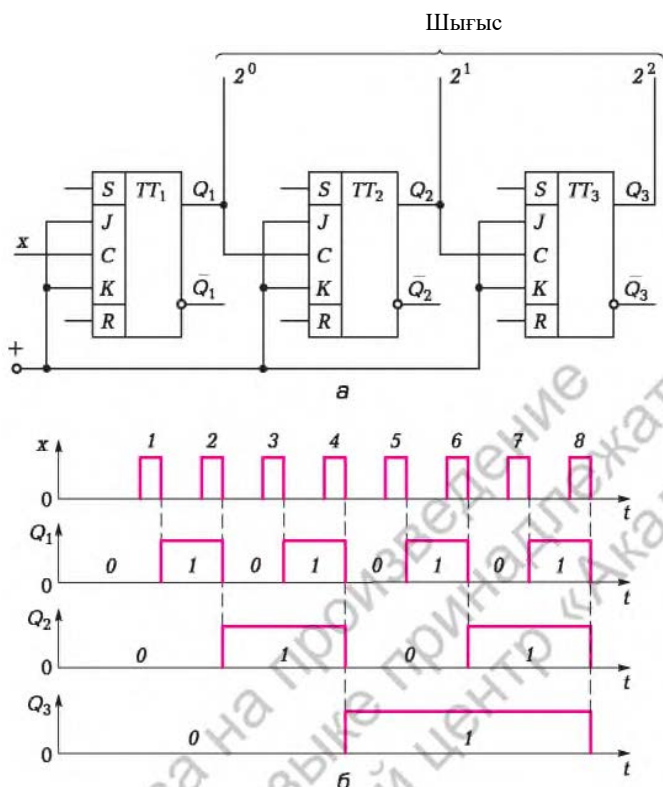
Жадты цифрлық логикалық автоматтар, немесе тізбекті логикалық құрылғылар, деп шығыстарындағы логикалық мәндері берілген уақыт моментіндегі кірістегі логикалық мәндердің жиынтығымен, сол сияқты логикалық автоматтың алдыңғы жұмысының нәтижелері бойынша оның күйімен анықталатын электрондық цифрлық құрылғыларды айтады. Алдыңғы оқиғаларды жадта сақтау әдетте триггерлердің көмегімен орындалады.

Жадты логикалық автоматтарға импульс есептегіштер мен ығысу регистрлері жатады.

Есептегіш деп кірісіне келіп түсетін кернеу импульстарының санын анықтауға арналған құрылғыны айтады. Қосуға, азайтуға және реверстеуге арналған есептегіштер болады. Соңғысының екі кірісі болады – біреуі қосуға, екіншісі азайтуға арналған.

Екілік санау жүйесіндегі санау нәтижесін ұсына отырып, қос сатылы *JK*-триггерлердің (16.21, *a* суретін қараңыз) негізіндегі үш разрядты қосуға арналған есептегіштің жұмысын қарастырайық.

Есептегіштің жұмысы басталмас бұрын, оның барлық разрядтары *R* орнатушы құрылғыларының (16.17, *a* суретін қараңыз) көмегімен $Q_1 = Q_2 = Q_3 = 0$ күйіне орнатылады. Бірінші есептік импульс аяқталған кезде кіші разрядты TT_1 триггері ауысады, ал үлкен разрядты TT_2 және TT_3 триггерлерінің күйі өзгермейді, яғни есептегіштің шығысындағы екілік санның мәні $Q_3Q_2Q_1 = 001$ тең. Екінші есептік импульс аяқталған кезде кіші разрядты TT_1 триггері қайта ауысады да, кіші разрядты шығыстың логикалық мәні 1-ден 0-ге өзгереді. Сондықтан TT_2 триггері де қатар қосылады, яғни $Q_3Q_2Q_1 = 010$. Одан әрі триггерлердің ауысуы осы сияқты жүретін болады, сондықтан есептегіш кірісіндегі импульстардың саны оның шығысындағы екілік санау жүйесіндегі санға сәйкес келеді (17.10-сурет, *б*). Жетінші есептік импульстан кейін есептегіш шығысындағы сан $Q_3Q_2Q_1 = 111$, ал сегізінші есептік импульстан кейін – 000. Мұндай есептегіш 8 модуль бойынша деп аталады.



17.10-сурет

Азайтуға арналған есептегіш схемасының жоғарыда қаралған қосуға арналған есептегіш схемасынан айырмашылығы – қосуға арналған есептегіште триггерлердің синхрондау кірістерін турадан алдыңғы разрядтағы триггерлердің инверсті кірістеріне ауыстыру қажет.

Есептегіштердің интегралдық схемаларының мынадай кіріс және шығыс шықпалары болады (барлығы міндетті емес).

1. *Кірістер*: R — барлық разрядтарды логикалық 0 күйіне орнату үшін; $+1$ және -1 сәйкесінше қосуға және азайтуға арналған импульстарды есептеу үшін; $D_1D_2D_4D_8$ — есептегішті берілген күйге орнату үшін; C — есептегішті $D_1—D_8$ кірістеріндегі берілген күйге орнатуға рұқсат ету үшін; (индекстердегі цифрлар разрядтардың салмағын көрсетеді); V — есептеуге рұқсат ету үшін.

2. *Шығыстар*: $Q_1Q_2Q_3Q_4$ — есептегіштің ішіндегі санды көрсету үшін; көмекші — есептегіштің шамадан тыс толық кеткенін не нөлденгенін көрсету үшін.

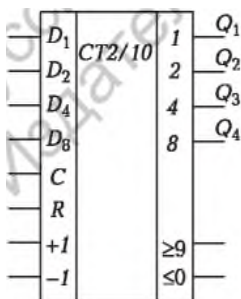
Есептегішке жазуға болатын максималды сан (максималды сыйымдылық) равно $N = 2^n - 1$, мұндағы n — есептегіш разрядтарының саны. *Есептеу коэффициенті* деп те алатын есептегіш сыйымдылығы оның атауында көрсетіледі. Мысалы, есептеу коэффициенті $N = 2^n - 1$ есептегіш *екілік*, есептеу коэффициенті (0-ден 9-ға дейін) *екілік-ондық* деп аталады.

Төрт разрядты екілік-ондық реверсті есептегіштің интегралдық схемасының шартты белгісі және оның қосу бойынша жұмыс жасау кезіндегі ақиқат кестесі 17.11, *a* және *б* суреттерінде берілген.

Ығысу регистрі деп әдетте екілік санау жүйесінде берілген ақпаратты қабылдауға, табыстауға және түрлендіруге арналған құрылғыны айтады. Оларды іске асырудың элементтік базасы синхронды және асинхронды триггерлер болып табылады (16.6-бөлімшені қараңыз). Соңғысы көп таралмағандықтан, бұл жерде қарастырылмайды.

Ығысу регистріне ақпаратты енгізудің тізбектей және параллель түрі болады.

Тізбектей енгізу кезінде ақпарат логикалық сигналдардың реттілігі түрінде регистрдің бір кірісіне беріледі де, біртіндеп оның разрядтары бойынша ілгерілейді.



a

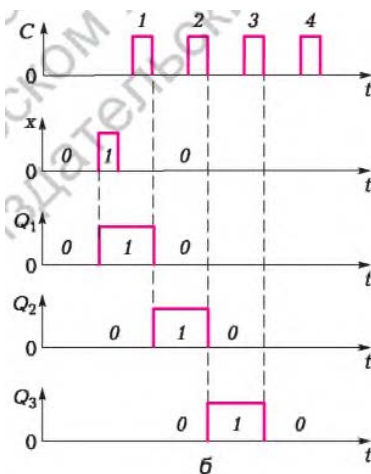
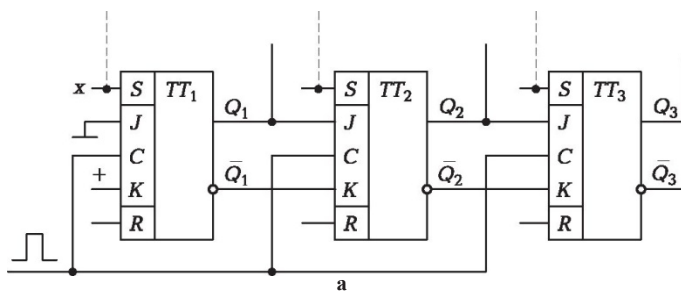
n	Q_4	Q_3	Q_2	Q_1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0
11	0	0	0	1

б

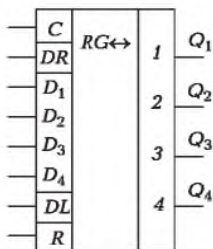
17.11-сурет

17.12, *a* суретінде қос сатылы *JK*-триггерлердегі үш разрядты синхронды ығысу регистрінің схемасы келтірілген. *R* орнатушы кірістеріне (16.17-сурет, *a*) алдын ала сигнал беріп, триггерлер $Q_1 = Q_2 = Q_3 = 0$ күйіне орнатылады. Регистр кірісіне, яғни TT_1 триггерінің *S* орнатушы кірісіне $x = 1$ логикалық сигналын беріп, оның күйін $Q_1 = 1$ күйіне келтіреміз (17.12-сурет, *б*). Бұл ретте регистр күйі $Q_1Q_2Q_3 = 100$ мәндерінің жиынтығымен анықталады. Бірінші *C* синхрондау импульсының әсерімен регистрдің күйі $Q_1Q_2Q_3 = 010$ күйіне, екінші синхрондау импульсының әсерімен $Q_1Q_2Q_3 = 001$ күйіне және т.б. өзгереді.

Ақпаратты *параллель енгізу* кезінде екілік санның барлық разрядтарының әрқайсысы регистрдің сәйкес разрядының кірісіне бір уақытта беріледі. Мысалы, 17.12, *a* суретінде штрих сызықпен көрсетілгендей.



17.12-сурет



17.13-сурет

Регистрлер екілік санның тізбектей кодын параллель кодқа, сондай-ақ керісінше, түрлендіру, регистрге енгізілетін және біраз уақыттан кейін одан шығарылатын екілік сан кодын сақтау (буферлеу), екілік сан кодын бір разрядқа жылжыту, яғни оның мәнін 2-ге көбейту үшін қолданылады.

Регистрлердің интегралдық схемалары мынадай кіріс және шығыс шықпаларынан тұрады (барлығы міндетті емес):

1. *Кірістер*: D_1, D_2 — параллель коды беру үшін; DR және DL — оңға және солға жылжыту үшін; R — барлық разрядтарды логикалық 0 күйіне орнату үшін; C — $D_1, D_2, \dots$ кірістері бойынша жазуға рұқсат ету үшін; V — жылжытуға рұқсат ету үшін.

2. *Шығыстар*: $Q_1, Q_2, \dots$ — регистр ішіндегісін көрсету үшін.

17.13-суретте төрт разрядты әмбебап ығысу регистрінің интегралдық схемасының шартты белгісі келтірілген.

17.4. АДРЕСТІК ІРІКТЕМЕЛІ ЦИФРЛЫҚ ЛОГИКАЛЫҚ АВТОМАТТАР. ЖАДТАУ ҚҰРЫЛҒЫСЫ

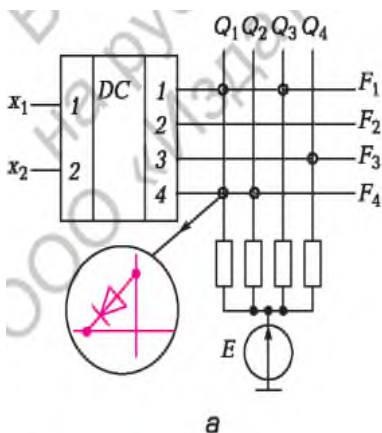
Адрестік іріктемелі цифрлық логикалық автоматтар деп кірістеріндегі әрбір логикалық мәндер жинағында құрылғының көптеген ақпараттық ұяшықтарының арасынан сол не өзге ұяшығына жүгінуге және сонымен жұмыс жасауға мүмкіндік беретін адресі болатын цифрлық құрылғыларды айтады. Адрестік іріктемелі логикалық автоматтарға жедел және тұрақты жадтау құрылғылары жатады.

Жедел жадтау құрылғылары (ЖЖҚ — RAM, random access memory) жүгіну барысында өзгертуге, яғни есептеуге, сонымен қатар өшіріп тастауға және жазуға болатын ақпараттық ұяшықтарды қамтитын құрылғылар болып есептеледі. ЖЖҚ-да ақпаратты сақтауға арналған элементтер ретінде триггерлер (16.6-бөлімшені қараңыз) немесе тұрақты разрядталу уақыты жоғары транзисторлардың p - n -өткелдерінің электрлік сыйымдылықтары пайдаланылады. Соңғы жағдайда ЖЖҚ *динамикалық* деп аталады, себебі оның электрлік күйін жүйелі қалпына келтіру талап етіледі. Динамикалық ЖЖҚ үшін *статикалық* деп аталатын триггерлер

негізіндегі ЖЖҚ-мен салыстырғанда энергияны аз тұтыну және ақпаратты қуаттауды қысқа мерзімге ажыратқан жағдайда сақтау, сонымен қатар аппарат құралдарының ұлғайтылған жинағы тән.

ЖЖҚ-ң интегралдық схемаларын типтік ұйымдастыру: 4096×1 , яғни 4096 жадтау ұяшығының әрбірінде бір разрядтан, 16384×1 , 1024×4 , 1024×8 және т.б.

Тұрақты жадтау құрылғылары (ТЖҚ — ROM, read only memory) бір-біріне ортогонал екі параллель шиналар жинағы болып есептеледі. Қиылысқан жерлерінде шиналар өз арасында жартылай өткізгіш диодтар не өткізгіштер түріндегі қосқыштармен жалғанады. Қосқыштардың бөліктерін өткізгіштердің балқымасымен, диодтардың электрлік ойығымен немесе өндіріс процесінде тиісті масклардың көмегімен мақсатты түрде алып тастау бағдарламалау дегенді, яғни ақпаратты ТЖҚ-қа жазу дегенді білдіреді. Осы себепке орай ТЖҚ маскалық және пайдаланушымен бағдарламалатын болып бөлінеді. Маскалық ТЖҚ жалпы қолданыстағы тұрақты ақпаратты, мысалы математикалық кестелерді, символдарды, стандартты математикалық түрленімдер бағдарламаларын және т.б. жазу үшін пайдаланылады. Пайдаланушымен бағдарламаланатын ТЖҚ-та ақпарат бір рет өз бетінше жазылуы мүмкін. Саны шектеулі болса да (он ретке дейін), ақпаратты бірнеше рет өзгертуге жол беретін ТЖҚ да бар. Олардағы ақпаратты өшіру ультракүлгін сәулелендіру арқылы жүзеге асырылады.



x_1	x_2	F_1	F_2	F_3	F_4	Q_1	Q_2	Q_3	Q_4
0	0	1	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0
0	1	0	0	1	0	0	0	0	1
1	1	0	0	0	1	0	1	0	0

17.14-сурет

17.14, *a* және *б* суреттерінде төрт разрядты ТЖҚ-ң схемасы және ақиқат кестесі келтірілген, аталмыш кестеде x_1 және x_2 — адресік кірістер; Q_1, Q_2, Q_3, Q_4 және F_1, F_2, F_3, F_4 — ТЖҚ мен дешифратор (17.1-суретті қараңыз) шығыстары. Разряд нөмірі $1 < i < 4$ Q_i разрядының шығысындағы кернеу, тиісті шинаға қосылған барлық диодтардың дешифратор шығыстарында оң (нөлге жақын) кернеумен ажыратылған (тым болмағанда бір диод ажыратылған) жағдайда, оң мәнде (нөлге жақын) болады.

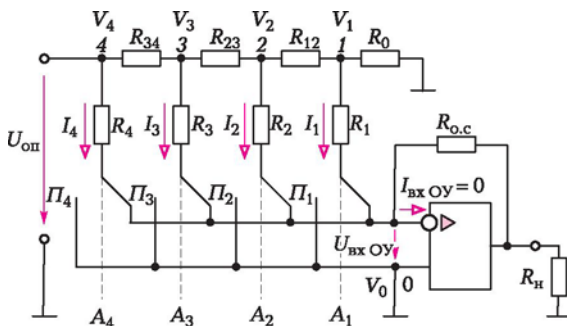
ТЖҚ-ң көмегімен әртүрлі логикалық функцияларды, яғни ақиқат кестелерін, іске асыруға болады, сол арқылы комбинациялық логикалық құрылғыларды логикалық элементтердің көп санымен алмастыруға болады. Бағдарламаланатын логикалық матрицалардың (БЛМ) жұмысы осы принципке негізделген.

Пайдаланушымен бағдарламаланатын ТЖҚ-ң интегралдық схемаларын типтік ұйымдастыру: 32×8 , яғни 32 жадтау ұяшығының әрбірінде 8 разрядтан, 256×4 , 516×4 , 1024×8 және т.б.

17.5. ЦИФРЛЫ-АНАЛОГТЫҚ ТҮРЛЕНДІРГІШТЕР

Цифрлы-аналогтық түрлендіргіш (ЦАТ) деп (екілік санның) цифрлық код мәнін аналогты шаманың (кернеудің) пропорционал мәніне түрлендіруге арналған құралды айтады. $R_0 = R_1 = R_2 = R_3 = R_4 = 2R$, $R_{12} = R_{23} = R_{34} = R$ резисторларын қамтитын R - $2R$ типті резисторлардың көп буынды тізбегінің (17.15-сурет) негізіндегі ЦАТ кең таралған.

R_1, R_2, R_3, R_4 резисторлары екілік сан кодының A_1, A_2, A_3, A_4 сәйкес разрядтарының 1 не 0 мәндерімен басқарылатын $\Pi_1, \Pi_2, \Pi_3, \Pi_4$ ауыстырып-қосқыштары арқылы не операциялық күшейткіштің



17.11-сурет

терістейтін кірісіне, не $V_0 = 0$ нөлдік потенциалды 0 нүктесіне қосылады. Бұл ретте ОК идеалды (15.11) деп, яғни оның кірісіндегі кернеу $U_{\text{кпрОК}} = 0$ деп алатын болсақ, резисторлардағы токтар ауыстырып-қосқыштардың күйіне тәуелді болмайды. Бұл ЦАТ-н жоғары дәлдігін білдіреді.

ЦАТ схемасының жұмысын қарастырайық. R_1 және R_0 резисторлары параллель қосылған және олардың кедергілері тепе-тең. Олардың жалпы кедергісі Π_1 ауыстырып-қосқышының кез келген күйінде олармен тізбектей қосылған R_{12} резисторының кедергісіне тең, сондықтан 2-нүктенің потенциалы $V_2 = 2V_1$ тең.

Балама жолмен пайымдай келе, 3, 4-нүктелер мен токтардың мәндерін аламыз:

$$V_3 = 2V_2 = 4V_1, \quad V_4 = 2V_3 = 8V_1;$$

$$I_1 = \frac{V_1}{R_1}, \quad I_2 = \frac{V_2}{R_2}, \quad I_3 = \frac{V_3}{R_3}, \quad I_4 = \frac{V_4}{R_4},$$

немесе

$$I_4 = \frac{U_{\text{оп}}}{R_4} = 2I_3 = 4I_2 = 8I_1,$$

мұндағы $U_{\text{оп}} = V_4 - V_0 = V_4$ — *тірек кернеу* деп аталатын тұрақтанған тұрақты кернеу. R_1, R_2, R_3, R_4 резисторларындағы токтар мәндерінің қатынастары ауыстырып-қосқышпен басқарылатын екілік сан кодының A_1, A_2, A_3, A_4 разрядтарының «салмақтарына» сәйкес келеді, яғни $2^0 = 1, 2^3 = 2, 2^4 = 4, 2^3 = 8$.

Сәйкесінше ЦАТ шығысындағы кернеудің мәні (15.16)

$$U_{\text{н}} = -R_{\text{о.с}}(I_1 + I_2 + I_3 + I_4)$$

оның кірісіндегі екілік сан кодының мәндеріне пропорционал.

ЦАТ-н негізгі параметрлеріне кіріс және шығыс шамаларының мәндер өзгерістерінің рұқсат етілген диапазондары, тез әрекеттік (5 мкс дейін) және түрлену қателігі жатады. Түрлену қателігі тірек кернеуі көзінің тұрақсыздығымен, электрондық ауыстырып-қосқыштардың және ОК-н идеалды еместігімен анықталады.

17.6. АНАЛОГТЫ-ЦИФРЛЫҚ ТҮРЛЕНДІРГІШТЕР

Аналогты-цифрлық түрлендіргіш (АЦТ) деп аналогты шама (кернеу) мәндерін цифрлық кодытың (разрядтар саны n екілік санның) пропорционал мәніне түрлендіруге арналға құрылғыны айтады. Параллель және тізбектей АЦТ болады.

Параллель АЦТ аналог шама мәндерін «салмағы» минималды мәнге (квант) өзгешеленетін эталондардың $2^n - 1$ мәндерімен қатар салыстыруға негізделген.

Параллель АЦТ ең төмен түрлендіру уақытына ие. Алайда олар интегралдық атқарым үшін күрделі, құны жоғары және қолданысы шектеулі.

Тізбектей АЦТ аналог шама мәнін эталон мәндерінің тізбектей үдемелі қосындысымен жүйелі салыстыруға негізделген. Бірінші АЦТ-қа бір аналог шаманың мәнін басқа аналог шаманың пропорционал мәніне аралық түрлендіріп (уақыт аралығы, импульстарды бақылау жиілігі және т.б.), артынан цифрлық кодқа түрлендіретін АЦТ да жатады.

АЦТ-ғ негізгі параметрлеріне: кернеудің түрлендірілетін мәндерінің рұқсат етілген диапазоны (3 В дейін); түрлендіру уақыты (тізбектей АЦТ үшін 5 мкс дейін және параллель АЦТ үшін бірлік наносекундқа дейін); разрядтар санымен анықталатын түрлендіру қателігі (әдетте 4, 8, 12).

БАҚЫЛАУ СҰРАҚТАРЫ

1. Екілік санау жүйесінің, биттің және байттың анықтамасын беріңіз.
2. Жадты және жадсыз логикалық автоматтардың негізгі белгілерін атаңыз.
3. Жадтау құрылғыларының типтерін атаңыз.
4. Ақпаратты аналогты-цифрлық және цифрлы-аналогтық түрлендіргіштер қандай функциялар атқарады?
5. Жадты және жадсыз логикалық автоматтардың мысалдарын келтіріңіз.

ӨЗІНДІК ШЫҒАРУҒА АРНАЛҒАН ЕСЕПТЕР

1. Ондық санау жүйесінде берілген 2,5 санын екілік санау жүйесінде беріңіз.
Жауабы: 10,1.
2. Екілік санау жүйесінде берілген 10101, 1001 санын сегіздік санау жүйесінде беріңіз.
Жауабы: 25,44.